

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

⑤ Int. Cl.²

H 01 L 29/78
H 01 L 29/62
H 01 L 27/04

⑥ 日本分類

99(5) E 3
99(5) H 0

⑦ 日本国特許庁

⑧ 特許出願公告

昭51-45438

特 許 公 報

⑨ 公告 昭和51年(1976)12月3日

庁内整理番号 6426-57

発明の数 1

(全 14 頁)

1

2

④ 半導体装置

① 特 願 昭46-45669

② 出 願 昭46(1971)6月25日

公 開 昭48-12686

③ 昭48(1973)2月16日

⑦ 発 明 者 増田弘生

国分寺東恋ヶ窪1の280株式会
社日立製作所中央研究所内

同 増原利明

同所

同 永田穰

同所

同 小沢時典

同所

⑧ 出 願 人 株式会社日立製作所

東京都千代田区丸の内1の5の1

⑨ 代 理 人 弁理士 薄田利幸

⑤ 特許請求の範囲

1 第1導電型を有する半導体基板表面に近接して所望の間隔をもつて形成された第2導電型を有する第1および第2の領域と、上記第1および第2の領域のそれぞれ一部と上記第1および第2の領域の間に介在する部分の半導体基板を覆つて連続して被着された第1のゲート絶縁膜と、上記第1のゲート絶縁膜上の所望部分に被着された第2のゲート絶縁膜と、少なくとも上記第2のゲート絶縁膜を覆つて被着された良導電性物質よりなるゲート電極をそなえ、上記第1および第2のゲート絶縁膜はそれぞれ上記半導体基板表面に第1および第2導電型を有する電荷を誘起せしめる絶縁膜である半導体装置。

発明の詳細な説明

本発明は絶縁ゲート電界効果型半導体装置に関するものである。

従来一般に用いられている絶縁ゲート電界効果

型トランジスタ(以下NOS・FETと記す)はたとえば第1図に示す構造を有している。第1図において、1はP型Si基板、2はソース、3はドレイン、4はSiO₂層、5はゲート電極、6はソース電極、7はドレイン電極である。

このような構造のMOS・FETの高速動作が可能であるためには、

(1) チャネル導電率(β)が大きい

(2) 浮遊容量が小さい

10 (3) 素子の飽和時間が短い

などの条件が満足されなければならない。

しかし、上記条件(1)を満足させるためには、チャネルの長さを短かくする、ゲート巾を大きくする、チャネル部分のキャリア移動度を上げる必要である。

15 また、条件(2)を満足させるためには、ゲートとドレイン間の容量(C_{GD})、ゲートと基板間の容量(C_{GS})、および、ドレインと基板間の容量(C_{DS})をいずれも小さくすることが必要であり、条件(3)を満足させるためには、しきい値電圧を0

20 に近づけなければならない。
これらのうち、C_{GD}は入力(ゲート)と出力(ドレイン)間の容量であるから、MOS・FETが交流動作を行なう際に、入力側に負帰還のかかる原因となり、動作を高速化するためには、条件(2)の中ではC_{GD}を小さくすることが最も有効である。

このような考えにもとづいて、たとえば第2図に示す4極MOS・FET、および第3図に示すオフセット・ゲートのMOS・FETが、高速MOS・FETとして提案されている。

4極MOS・FETは第2図から明らかなように、ゲート電極を第1ゲート電極5'と第2ゲート電極5''に分けて、その間の基板1にN⁺型拡散領域8を設けたものであり、信号は第1ゲート電極5'に印加され、第2ゲート電極5''にはバイアス電圧が常時印加される。

3

また、オフセット・ゲートのMOS・FETは、第3図に示したように、ゲート電極5とドレイン3の重なりをなくして、異なるオフセット、設けたものである。オフセット部分によつて、ゲート電極5と、ドレイン3との重なりをなくしたため、CGDは0となるから、有害な負帰還を無くすることができる。

しかし、4極MOS・FETは、ゲートの数が増加するのでチップの面積が大きくなり、しかも、第2ゲート電極5¹にバイアス電圧を印加するため配線が複雑になるという欠点がある。

また、オフセット・ゲートのMOS・FETは、ゲート5がチャネルの全部分を覆っていないためエンハンスメント型MOS・FETを形成することができず、アナログあるいはデジタル回路用スイッチとして使用することができない。

このように、4極MOS・FETおよびオフセット・ゲートMOS・FETはいずれも大きな欠点を有しているばかりでなく、上記のような構造のみでは高速化に必要な上記条件をすべて満足することはできず、さらに良好な特性を有するMOS・FETが必要とされていた。

本発明の目的は、従来のMOS・FETに関する上記問題を解決し、高速動作の可能なMOS・FETを提供することである。

上記目的を達成するため、本発明は、異なる構造を有するゲートを組み合わせて1つのゲートを作成し、従来のMOS・FETでは得られなかった、すぐれた特性を有する高速MOS・FETを形成するものである。

以下、本発明について詳細に説明する。

周知のように、MOS・FETにはエンハンスメント型およびデプレッション型の2種類がある。ゲート電圧が0のとき、ソース・ドレイン間にチャネルが形成されないものがエンハンスメント型であり、ゲート電圧が0であっても、ソース・ドレイン間にチャネルの形成されるのがデプレッション型である。

従来のMOS・FETのゲート部分は、得られるMOS・FETがすべてエンハンスメント型またはデプレッション型のいずれかの特性を示すように、単一構造の絶縁膜を有していた。

しかるに、ゲート部分をこのような単一構造の絶縁膜とはせず、ゲート絶縁膜の種類厚さ、およ

4

び被着する順序を変えて、それぞれエンハンスメント型、デプレッション型、あるいは抵抗となるようにし、これらを適当に組合わせて1つのゲート部分を形成するようにすれば、ゲート部分の諸特性を広範囲に調節することが可能になり、従来得ることのできなかつた、すぐれた特性を有する高速動作MOS・FETが期待できる。

本発明はこのような観点からなされたものであつて、たとえば下記のように組み合わせてゲート部分を形成し、特性の向上を可能としたものである。

- (1) エンハンスメント型とデプレッション型
- (2) エンハンスメント型、デプレッション型、および低抵抗

- (3) エンハンスメント型と抵抗

まず、エンハンスメント型とデプレッション型を組み合わせてゲート部分を形成したMOS・FETについて説明する。

第4図はゲート絶縁膜としてSiO₂層4のみを使用した部分、および、SiO₂層4とAl₂O₃層9の二重層を使用した部分の二つの部分によつてゲート部分を形成したMOS・FETを示す。ゲート絶縁膜がSiO₂層4のみよりなる部分はデプレッション型、SiO₂層4とAl₂O₃層9の二重層よりなる部分はエンハンスメント型として、それぞれ動作する。

このような構造のゲートを有するMOS・FETは、つぎに示す多くの利点を有している。

- (1) エンハンスメント型部分の効果によつて、全体としてエンハンスメント型FETとして動作する。
- (2) チャネル長が等しいエンハンスメント型のみのゲートにくらべて、デプレッション型の部分が入ったことにより θ が大きくなる。
- (3) ゲートのエンハンスメント型部分の長さ短くすることによつて高速動作が可能になる。
- (4) 一つのゲートの中にエンハンスメント型とデプレッション型の二部分が存在すればよいのであるから、マスク合わせの余裕が増加し、製作の際にきわめて有利である。

また、エンハンスメント型、デプレッション型、および抵抗を組み合わせたゲートを有するMOS・FETは第5図に示す構造を有し、ゲート部分のうち、ゲート電極5が全く被着されてい

5

ない箇所Rが抵抗として動作する。

このような型のFETは下記に示す利点を有する。

- (1) ゲート電極5とドレイン3の重なる部分がないのでCGDは0になる。
- (2) 上記抵抗部分の抵抗値は、チャネル部分の等価的全抵抗値の約1/3程度にすぎず、特性への影響は少ない。また、抵抗部分をドレイン側ではなくソース側におくことによつて β を小さくすることができ、抵抗値の大きい負荷FETとして使用することも可能である。

ゲート部分がエンハンスメント型と抵抗よりなる構造のMOS・FETを第6図に示す。第6図は抵抗をドレイン3側に設けた場合を示したが、ソース2の側に形成することも可能である。

この型のFETはつぎの特徴を有している。

- (1) 従来のオフセット・ゲートMOS・FETはダイプレツション型の動作のみしかできなかったが、ゲートがエンハンスメント型の部分を有しているので全体としてエンハンスメント型として動作する。
- (2) ゲートとドレインの重なりがなく、CGDが0になるから、デジタルスイッチとして高速動作が可能になる。
- (3) 抵抗の存在によつて β は小さくなるが特性に対する影響は少ない。

エンハンスメント型として動作するゲート部分は、ゲート絶縁膜をたとえば適当な厚さを有するSiO₂層とAl₂O₃層など、絶縁体を重ねて被着することによつて形成される。その1例を示せば厚さ500~1000Å SiO₂層上に1500Å以下のAl₂O₃層を被着すれば、良好な結果を得ることができる。

また、ダイプレツション型のゲートは半導体基板と同じ導電型の電荷を有する誘電体層のみによつてゲート絶縁膜を形成するか、あるいは、半導体基板と同じ導電型の電荷を有する絶縁体層の厚さを、半導体基板と逆の導電型を有する絶縁体層より厚くすればよい。

たとえば、ゲート絶縁膜として厚さ1000Å以下のSiO₂層のみを使用するか、あるいは厚さ3000Å以上の厚いSiO₂層上に、厚さ1500Å程度の薄いAl₂O₃層を被着して使用すればダイプレツション型として動作する。

6

実施例 1

第7図はゲート部分をエンハンスメント型およびダイプレツション型より構成したMOS・FETのゲート部分附近の構造を示す。第7図における各部の寸法をつぎのように定め、ゲート電圧VGをパラメータとしてドレイン電圧-ドレイン電流(VD-ID)特性を測定する。

チャネル長L	8 μ
エンハンスメント型部分のチャネル長 L_E	3 μ
ダイプレツション型部分のチャネル長 L_D	5 μ
SiO ₂ 層4の厚さTS	500 Å
Al ₂ O ₃ 層9の厚さTA	1500 Å
ゲート巾 W	10 μ
ゲートとドレインの重なりdD	2 μ
ゲートとソースの重なりdS	2 μ

第8図および第9図はそれぞれエンハンスメント型部分およびダイプレツション型部分の特性を示す。第7図に示した本発明によるFETの特性は、第8図および第9図の特性を重ねた特性を表わし、第10図で示される。

第8図と第10図を比較すれば明らかなように両特性はほとんど差はなく、第7図に示した本発明によるFETの特性は、ゲートのエンハンスメント型部分によつて定まるとは明らかである。

第11図はSiO₂層4およびAl₂O₃層9をゲート絶縁膜とする従来のエンハンスメント型MOS・FETであり、チャネル長L、SiO₂層4およびAl₂O₃層9の厚さTS, TAを上記の場合と同様に定めた場合のVD-ID特性は、第12図で示される。

第12図と第10図を比較すれば明らかなように、第7図に示した本発明によるMOS・FETは、第11図に示した従来のエンハンスメント型MOS・FETにくらべて β は約2.5倍に改善されており、これは、他の条件が同じならば2.5倍の高速動作が可能であることを示している。

実施例 2

第13図は、ゲート部分がエンハンスメント型、ダイプレツション型、および抵抗よりなるMOS・

7

FETのゲート附近の構造を示す。チャネル長 L 、 SiO_2 層4および Al_2O_3 層9の膜厚 T_S, T_A 、ゲート巾 W はいずれも実施例1と同じにする。

第13図に示す本発明のMOS・FETにおいて、

エンハンスメント型部分のチャネル長 $L_E \cdots 3 \mu$
 デイプレッション型部分のチャネル長 $L_D \cdots 3 \mu$
 抵抗部分のチャネル長 $L_R \cdots 2 \mu$

としたときの、 V_D-I_D 特性は第14図で表わされる。この特性を第10図に示した特性(実施例1における本発明FETの特性)と比較すると利得はやや低いが、CGDが0であるという大きな特徴がある。

また、全容量 C の値は、第11図に示した従来の構造を有するエンハンスメント型MOS・FETの値より約20%小さく、 β の値は約2倍である。

FETの動作速度は β/C に比例するから、従来のエンハンスメント型MOS・FETより約2.5倍の高速動作が可能である。

実施例 3

第15図は、ゲート部分がエンハンスメント型および抵抗よりなるMOS・FETのゲート附近の構造を示す。チャネル長 L 、 SiO_2 層4および Al_2O_3 層9の膜厚 T_S, T_A 、ゲート巾 W は、いずれも実施例1および実施例2の場合と等しく形成する。

しかして、

エンハンスメント型部分のチャネル長 $L_E \cdots 6 \mu$
 抵抗部分のチャネル長 $L_R \cdots 2 \mu$

としたときの V_D-I_D 特性は第16図で示される。

従来の構造によるエンハンスメント型MOS・FETと比較して、 β は約4/3倍になり、 C は約30%減少するから、他の条件が同じならば動作速度は従来のMOS・FETの約1.9倍になる。

実施例 4

第17図はデイプレッション型ゲートの中央にエンハンスメント型ゲートをそなえた構造を有するMOS・FETの、ゲート部分附近を示す。

8

第1のデイプレッション型部分のチャネル長 $L_{D1} \cdots 3 \mu$

第2のデイプレッション型部分のチャネル長 $L_{D2} \cdots 3 \mu$

5 エンハンスメント型部分のチャネル長 $L_E \cdots 2 \mu$

SiO_2 層4の厚さ $T_S \cdots 500 \text{ \AA}$

Al_2O_3 層9の厚さ $T_A \cdots 1500 \text{ \AA}$

ゲート巾 $W \cdots 10 \mu$

10

とすると、従来のエンハンスメント型MOS・FETにくらべて β が約2.5倍、 C はほぼ同じになり、動作速度は約2.5倍に上昇する。

その他にも本発明は

15 (1) エンハンスメント型部分のソースとドレイン間における移置が多少ずれてもよいので、製作の際におけるマスク合わせが容易である。

(2) エンハンスメント型部分のソース・ドレイン間における位置が多少変わっても特性にはあまり影響しない。

(3) ソース2とドレイン3を交換して使用できるので、回路中で使用する際にきわめて便利である。

など多くの利点を有している。

以上、本発明が従来のMOS・FETにくらべて高速動作が可能であるなど、きわめてすぐれた特徴を有していることを説明したが、その他にも、本発明を集積回路に適用すると、従来より集積度の高い論理回路を組むことが可能であるという利点がある。

30

以下ゲート部分をエンハンスメント型、および抵抗を組み合わせて形成したMOS・FET(以下E・RゲートMOS・FETと記す)を用いてNAND回路を形成する実施例について説明する。

35 実施例 5

デジタル回路における基本的な論理は、NANDとNORである。

入力を n 個、出力を1個有する論理ゲートを考えた場合、入力1~ n のすべてに信号が入つたときにのみ、出力に信号の出る論理ゲートがNANDゲートである。

第18図はE・RゲートMOS・FETを使用してNANDを形成したものの断面図、第19図はその等価回路を示す。第18図および第19図

9

において Q_1 は複数のエンハンスメント型ゲート G_1, G_2, G_3 と、長さとなる抵抗 R_1, R_2 をそなえたE・RゲートMOS・FET、 Q_2 は負荷として用いられるMOS・FETである。

Q_1 におけるソース2とドレイン3間の抵抗を R_{SD} 、 Q_2 の抵抗を R_L とすれば、出力OP（ Q_1 のドレイン電極7）より取出される出力電圧 V_{out} は、IP（ Q_2 のゲート電極10）に印加される電圧 V_{imp} を R_L, R_{SD} で分圧したもので与えられる。

したがって、 Q_1 のゲート G_1, G_2, G_3 のうち、少くとも1つに信号が印加されないときは

$$R_{SD} \div \infty,$$

$$V_{out} \div V_{imp}$$

になる。

また、ゲート G_1, G_2, G_3 のすべてに信号が印加された場合は

$$R_{SD} = 2K\Omega,$$

$$R_L = 20 \sim 30K\Omega$$

となり、

$$V_{out} = \frac{R_{SD}}{R_{SD} + R_L} \cdot \frac{V_{imp}}{10}$$

となる。

上記の説明からE・RゲートMOS・FETによつてNAND回路の形成可能なことは明らかであるが、E・RゲートMOS・FETを用いてNAND回路を形成する方法は、従来のMOS・FETを使用する方法にくらべて、つぎのように大きな利点を有している。

- (1) 集積度を高くすることができる……ゲート部分が複数の小ゲートからなり、各小ゲートに入力印加できるのであるから、通常のMOS・FETを使用する場合よりなるかに集積度が高くなり、入力数が増加すればその効果はさらに大きい。
- (2) スイッチ速度が向上する……スイッチ速度を向上するためにはゲート長を短かくするのが

10

有効であるが、パンチスルー現象のためにゲート長はあまり短かくできない。本発明によるE・RゲートMOS・FETでは、 G_1, G_2, G_3 間に拡散層がないためパンチスルーが起り難く、ゲート長を短くできるのでスイッチ速度は向上する。

以上、本発明半導体装置について説明したが、つぎに本発明半導体装置製造方法の実施例について説明する。

10 実施例 6

第20図はゲート部分がエンハンスメント型およびデプレッション型よりなるMOS・FETの、形成工程を示す。

まず、第20図aに示すように、 SiO_2 層4をマスクとして、P型Si基板1に多量のN型不純物を拡散し、ソース2およびドレイン3を形成する。

マスクに用いた SiO_2 層4を除去した後、第20図bに示すように熱酸化法など周知の方法によつて SiO_2 層4を全面に被着し、さらに Al_2O_3 層9およびCr層11を順次被着する。

第20図cは電極取付用の孔あけの工程を示しフォトリソエッチングを用いて上記 SiO_2 層4、 Al_2O_3 層9、Cr層11の所望部分に孔12、13、14をあけた。ただし、図から明らかなように、ソースおよびドレイン電極用孔12、14はSi基板1に達しているが、ゲート電極用孔13はSi基板1には達しないで、 Al_2O_3 層9およびCr層11を貫通して、 SiO_2 層4の表面に達しているのみである。

Cr層11をエッチングして除いた後、たとえばAlなどの良導電性金属層を全面に被着し、不要な部分をフォトリソエッチングによつて除けば、第20図dに示すように、ゲート電極5、ソース電極6、ドレイン電極7をそなえたMOS・FETが形成される。このMOS・FETのゲート部分は、図から明らかなように、ゲート絶縁膜が SiO_2 層4と Al_2O_3 層9の二層よりなるエンハンスメント型部と、 SiO_2 層4のみのデプレッション型部からなり、先に説明した特徴と有している。

実施例 7

第21図はゲート部分がエンハンスメント型および抵抗よりなるMOS・FETの形成工程を示す。

11

す。

第21図aに示すようにP型Si基板1の所望位置に多量のN型不純物を拡散してソース2およびドレイン3を形成した後、熱酸化法、CVD、フォトリソグラフィなど、周知の方法によつてSiO₂層4、Al₂O₃層9、所望の孔を有するリンガラス層15を順次被着する。

第21図bはAl₂O₃層9への孔あけの工程を示し、リンガラス層15をマスクとし、熱リン酸H₃PO₄よりなるエッチ液を用いて、孔16、17をあける。

つぎに、NH₄F:HF=6:1なる組成のエッチ液を用いてエッチを続けると、孔16、17につて露出された部分のSiO₂層4およびリンガラス層15がエッチして除かれ、第21図cに示すようになる。

たとえばAlなどの良導電性金属を全面に被着した後、フォトリソグラフィによつて不要部分を除去すれば、第21図dに示すように、ゲート電極5、ソース電極6、ドレイン電極7が形成される。

熱リン酸(H₃PO₄)よりなるエッチ液を用いて露出された部分のAl₂O₃層9を除去した後、リンガラス層18を全面に被着すれば、第21図eに示す構造のMOSFETが形成される。

以上詳述したように本発明によるMOS・

12

FETは従来の構造を有するMOS・FETよりもはるかに高速なエンハンスメント型動作が可能であり、また、従来よりもはるかに高い集積密度で論理回路を形成できるなど、工業上得られる利益はきわめて大きい。

図面の簡単な説明

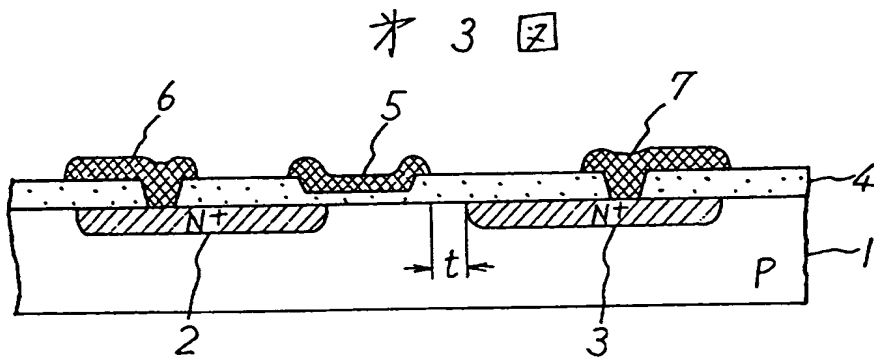
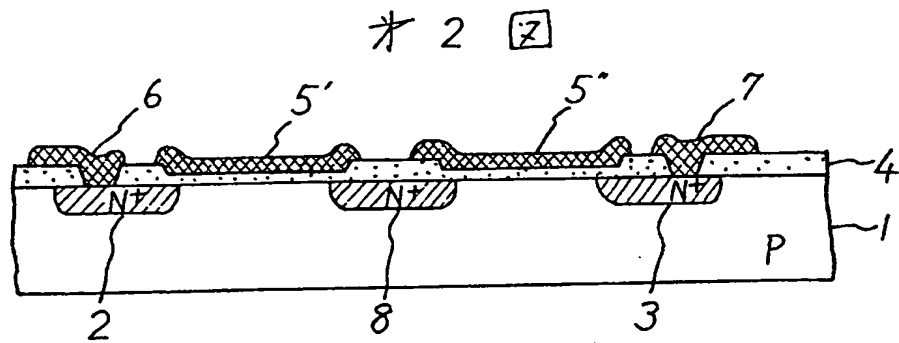
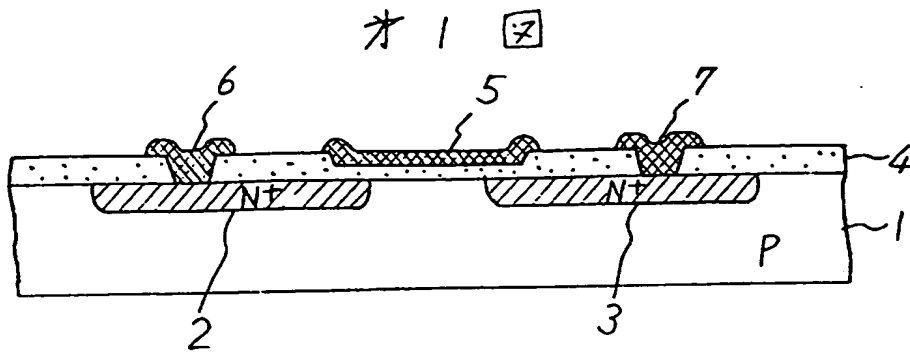
第1図乃至第3図は従来のMOS・FETの構造を示す一部断面図であり、1はP型Si基板、2はソース、3はドレイン、4はSiO₂絶縁膜5はゲート電極、6はソース電極、7はドレイン電極である。また第11図および第12図はそれぞれ従来のエンハンスメント型MOS・FETの構造を示した断面図および電圧-電流特性曲線図である。

第4図乃至第10図および第13図乃至第19図は、本発明の実施例を説明するための一部断面図または曲線図であり、第20図および第21図は、本発明MOS・FETの製造工程を示す一部断面図である。記号1乃至7はいずれも上記と同じものを示す。

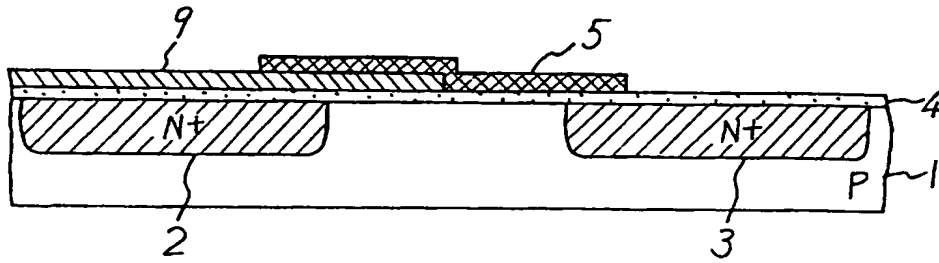
⑨引用文献

特 公 昭48-22394

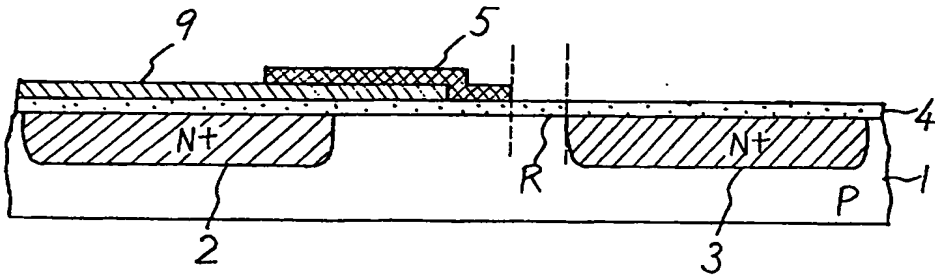
25



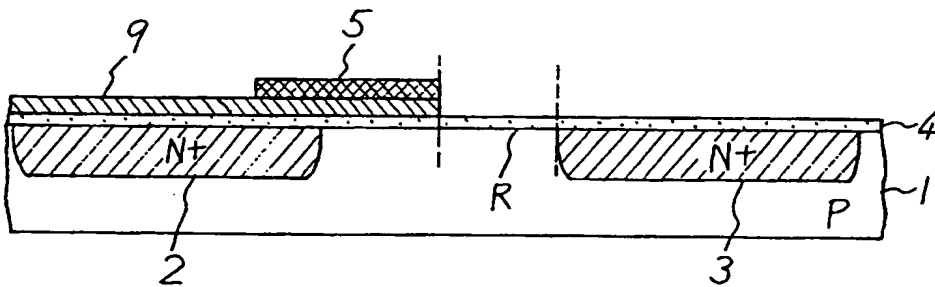
* 4 図

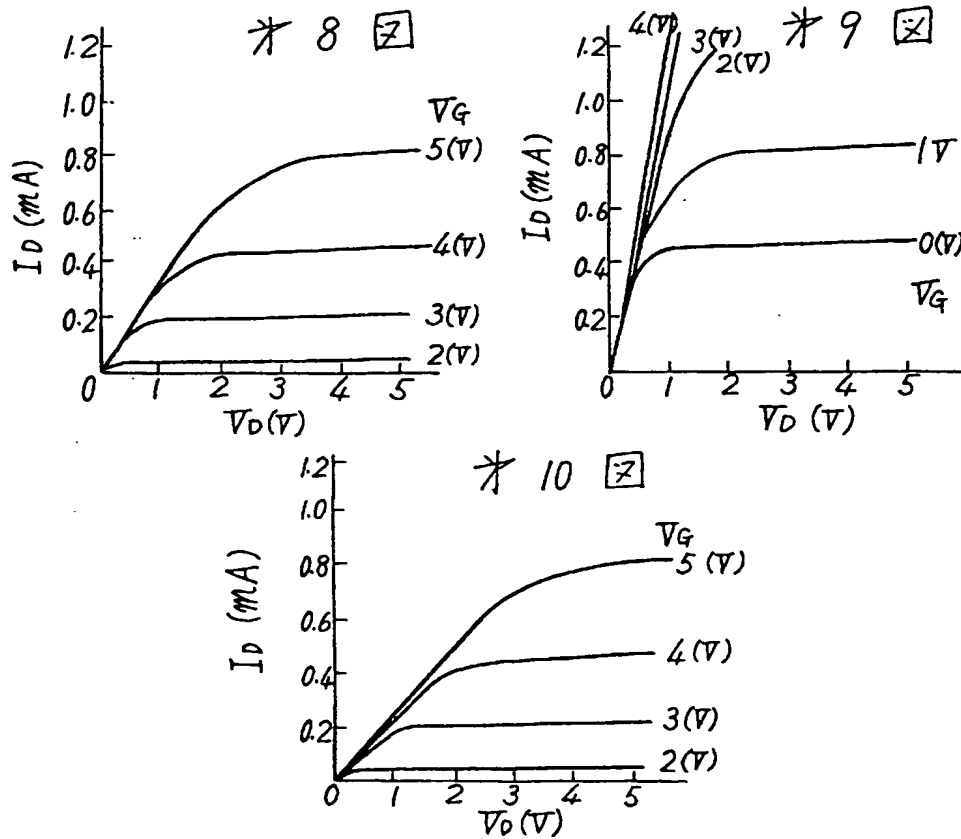
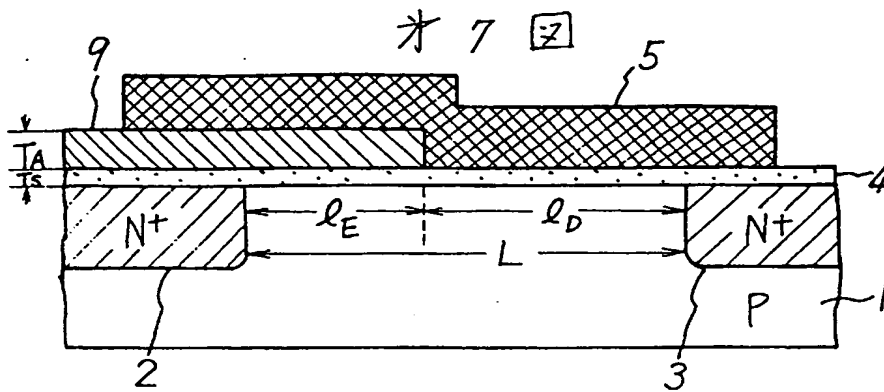


* 5 図

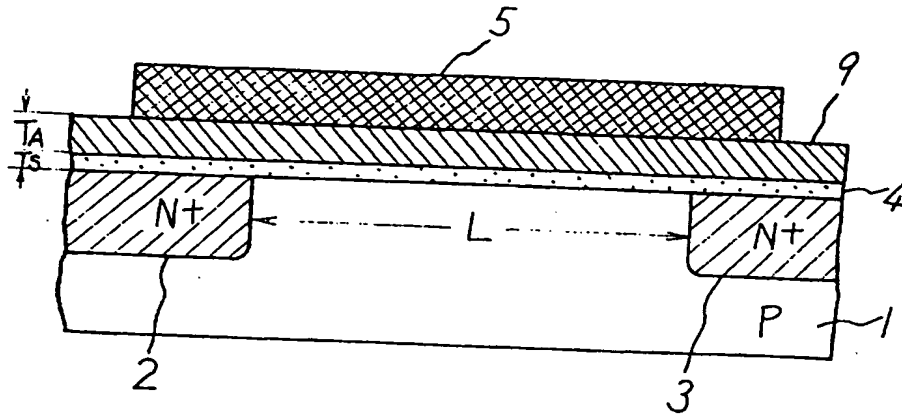


* 6 図

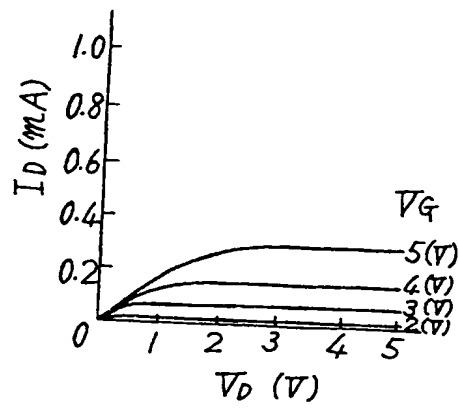




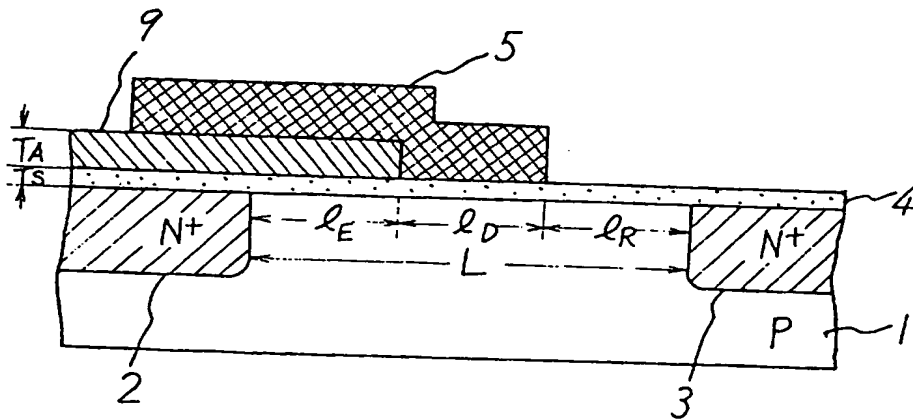
* 11 図



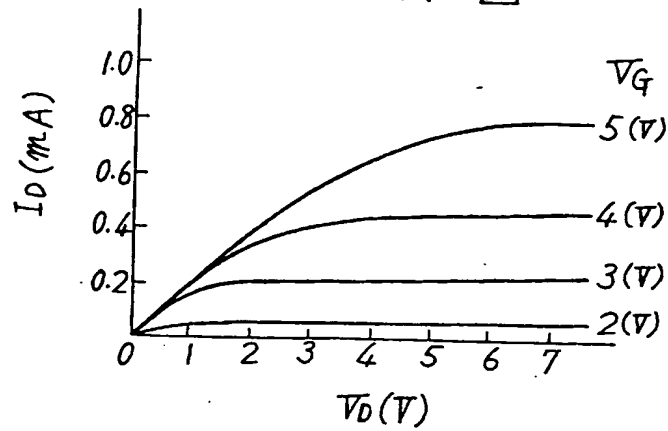
* 12 図



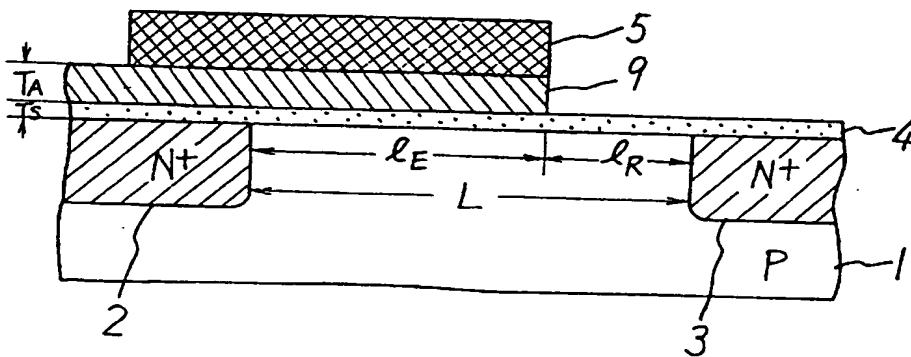
* 13 図



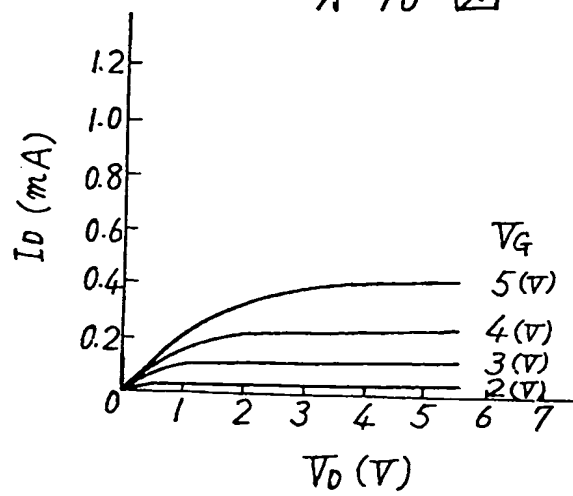
* 14 図

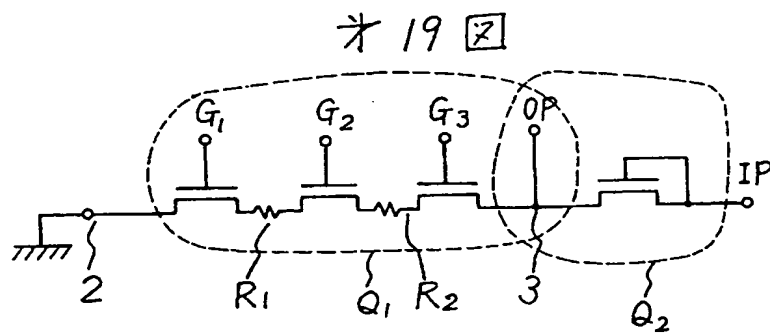
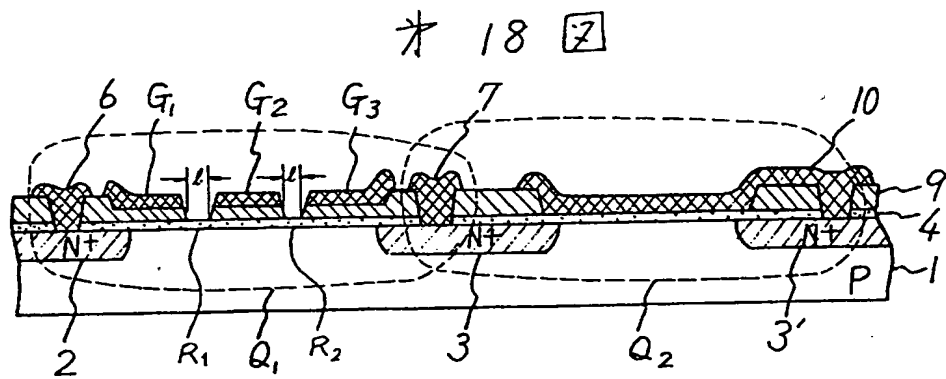
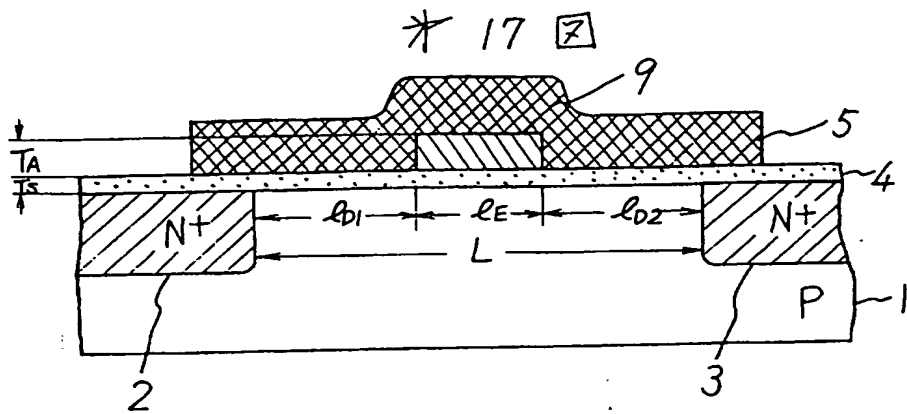


* 15 図

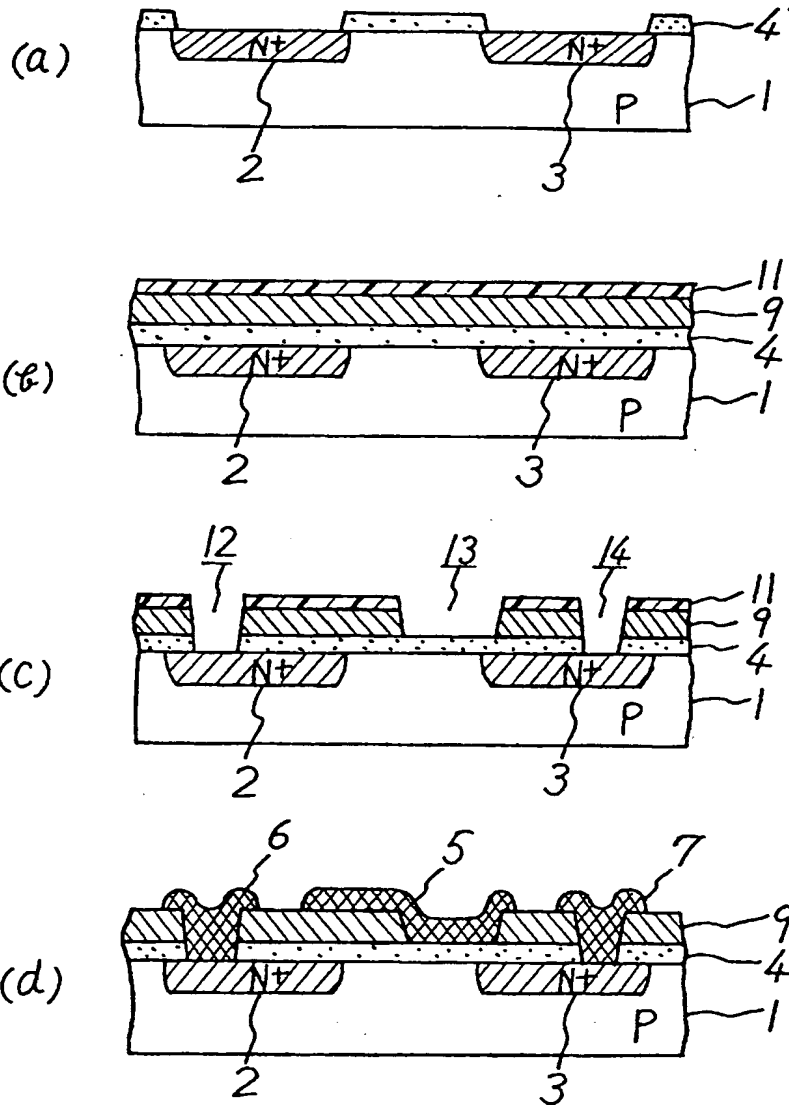


* 16 図





才 20 2



* 21 7

